

JC918 U.S. PTO
09/756772
01/10/01

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 53218 호
Application Number

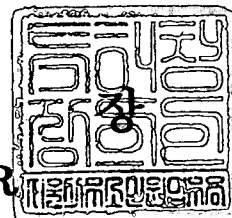
출원년월일 : 2000년 09월 07일
Date of Application

출원인 : 광주과학기술원
Applicant(s)

2000 년 12 월 26 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.09.07
【발명의 명칭】	파이형 출력 전송선 구조를 갖는 진행파 증폭기
【발명의 영문명칭】	TRAVELLING-WAVE AMPLIFIER HAVING A π -TYPE OUTPUT TRANSMISSION LINE STRUCTURE
【출원인】	
【명칭】	광주과학기술원
【출원인코드】	3-1998-099381-5
【대리인】	
【성명】	이종일
【대리인코드】	9-1998-000471-4
【포괄위임등록번호】	2000-050026-5
【대리인】	
【성명】	조희연
【대리인코드】	9-2000-000220-0
【포괄위임등록번호】	2000-050028-0
【발명자】	
【성명의 국문표기】	송종인
【성명의 영문표기】	SONG, Jong In
【주민등록번호】	580112-1559619
【우편번호】	500-480
【주소】	광주광역시 북구 오룡동 1번지 광주과학기술원 정보통신공학과
【국적】	KR
【발명자】	
【성명의 국문표기】	이정선
【성명의 영문표기】	LEE, Jung Sun
【주민등록번호】	691117-2922912
【우편번호】	500-480
【주소】	광주광역시 북구 오룡동 1번지 광주과학기술원 정보통신공학과
【국적】	KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이종일 (인) 대리인

조희연 (인)

【수수료】

【기본출원료】

19 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

3 항 205,000 원

【합계】

234,000 원

【감면사유】

정부출연연구기관

【감면후 수수료】

117,000 원

【요약서】**【요약】**

본 발명은 파이형 출력 전송선 구조를 갖는 진행파 증폭기에 관한 것이다.

기존 출력 전송선 구조의 진행파 증폭기에서는 피드백 정전용량(feedback capacitance)의 영향으로 증폭기의 주파수 대역폭을 확장시키기 위한 입출력 전송선의 진행파 속도 정합이 어려웠다.

이에, 본 발명은 피드백 정전용량에 의한 증폭기의 안정도 문제를 극복하고, 입출력 전송선의 진행파 속도 정합을 구현할 수 있도록 기존 출력 전송선 구조의 진행파 증폭기에 비하여 향상된 주파수 대역폭, 이득 평탄도, 안정도를 갖는 파이형 출력 전송선 구조를 갖는 진행파 증폭기를 제공토록 한다.

따라서, 본 발명은 진행파형 증폭기의 입출력 신호의 속도 정합을 위해 출력 전송선에 추가 정전용량을 부착할 때, 단위 트랜지스터의 출력단에 직접 연결하지 않고 단위 트랜지스터들 사이의 출력 전송선의 중간에 부착시킨 구조의 파이형 출력 전송선 구조를 갖는 진행파 증폭기가 제시된다.

【대표도】

도 8

【색인어】

초광대역증폭기, 진행파증폭기, 입출력 임피던스정합, 광대역광수신기

【명세서】

【발명의 명칭】

파이형 출력 전송선 구조를 갖는 진행파 증폭기{TRAVELLING-WAVE AMPLIFIER HAVING A π -TYPE OUTPUT TRANSMISSION LINE STRUCTURE}

【도면의 간단한 설명】

- 도 1은 종래 속도정합을 하지 않은 FET를 이용한 진행파 증폭기 회로도
- 도 2는 종래 진행파 증폭기에 사용되는 단위 FET의 소신호 등가 회로도
- 도 3은 종래 티(T)형 드레인라인 구조의 진행파 증폭기 회로도
- 도 4는 종래 엠-디라이브드(m-derived)형 드레인라인 구조의 진행파 증폭기 회로도
- 도 5는 종래 기술로서 서로 다른 구조의 진행파 증폭기의 이득 대 주파수 특성(C_{gd} = 0pF 일 때)을 나타낸 그래프
- 도 6은 종래 기술로서 서로 다른 구조의 진행파 증폭기의 이득 대 주파수 특성(C_{gd} = 0.03pF 일 때)을 나타낸 그래프
- 도 7은 종래 기술로서 서로 다른 구조의 진행파 증폭기의 S11 대 주파수 특성(C_{gd} = 0.03pF 일 때)을 나타낸 그래프
- 도 8은 본 발명에 따른 파이(π)형 드레인라인 구조의 진행파 증폭기 회로도
- 도 9는 본 발명에 따른 파이(π)형 드레인라인 구조의 진행파 증폭기에서 추가 정전용량의 위치를 나타낸 회로도

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 파이형 출력 전송선 구조를 갖는 진행파 증폭기에 관한 것이다. 특히, 입출력 전송선에서 진행파의 정합을 위해 사용하는 추가 정전용량을 단위 트랜지스터의 출력으로부터 격리시킴으로써 진행파 증폭기의 안정도 열화 없이 향상된 주파수 대역폭을 얻을 수 있도록 하는 기술에 관한 것이다.
- <11> 진행파 증폭기는 초광대역 증폭기로서 넓은 주파수 대역폭을 요구하는 마이크로웨이브(M/W) 및 밀리미터웨이브 대역 증폭기, 초고속 광검출기에서 생성되는 전기신호를 증폭하는 초고속 광통신용 수신기, 또는 마이크로웨이브/밀리미터웨이브-광통신용 광전 변환기에 널리 응용되어 사용되고 있다.
- <12> 초고속 전자소자를 이용하는 일반적인 증폭기는 얻을 수 있는 주파수 대역폭이 사용하는 전자소자의 최대 동작주파수(f_T)의 약 30% 이하로 한정되어 있다.
- <13> 일반적인 증폭기의 설계시 증폭기의 이득-대역폭 곱(gain-bandwidth product)을 향상시키기 위해서는 단위 트랜지스터를 단순히 병렬로 연결하여 이득을 향상시키는 방법을 사용하고 있다.
- <14> 이러한 경우 이득이 향상되는 장점이 있는 반면에, 대역폭이 감소하여 소기의 이득-대역폭 곱의 향상 효과를 얻을 수 없다. 트랜지스터를 단순히 병렬로 연결한 일반적인 증폭기의 대역폭이 감소하는 이유로는 FET의 소신호 등가회로에 나타난 정전용량(C_g , C_d , C_{ds})들이 단순 병렬 연결을 할 경우 단위 트랜지스터의 수에 비례하여

증가되기 때문이다.

- <15> 이러한 제한된 주파수 대역폭의 한계를 극복하기 위해 진행파 증폭기가 사용되고 있으며, 진행파 증폭기의 경우 이론상으로 사용하는 전자소자의 최대 동작주파수(f_T)에 가까운 주파수 대역폭을 얻을 수 있다.
- <16> 도 1은 종래 기술로서 속도정합을 하지 않은 전계효과 트랜지스터(Field Effect Transistor 이하:FET)를 이용한 진행파 증폭기 회로도의 반복되는 구간 중의 한 부분이다.
- <17> 도 1을 살펴 보면, FET(1)과 FET(2)가 드레인라인의 $L_d(1)$, $L_d(2)$ 와, 게이트라인의 $L_g(1)$, $L_g(2)$ 에 의해 격리되어 병렬로 연결되어 있다.
- <18> 이러한 구조로 단위 트랜지스터를 연결할 경우 전체 증폭기 이득은 트랜지스터의 수에 비례하여 증가한다.
- <19> 반면, 정전용량(C_g , C_d , C_{ds})들은 전송선에 의하여 격리되어 있기 때문에 단위 트랜지스터 수에 비례하여 증가하지 않으며 단위 트랜지스터의 주파수 대역폭이 감소하지 않게 된다. 따라서 전체 증폭기의 주파수 대역폭의 감소 현상이 발생하지 않으며 진행파형 증폭기의 이득-대역폭 곱의 향상 효과를 얻을 수 있다.
- <20> 진행파형 증폭기에서 이득-대역폭 곱의 향상 효과는 입력 전송선(FET를 이용한 진행파형 트랜지스터의 경우 게이트 라인)에 전파되는 입력 신호 진행파의 속도와 출력 전송선(FET를 이용한 진행파형 트랜지스터의 경우 드레인 라인)에 전파되는 출력 신호 진행파의 속도가 일치될 때 극대화 될 수 있다.
- <21> 도 1은 속도 정합이 되어 있지 않은 진행파형 증폭기로서 트랜지스터의 입력과 출

력에 단순히 입력 및 출력 전송선(이 전송선들은 각각 L_g 및 L_d 로 표시됨)이 연결되어 있다. 이러한 구조에서 입력 및 출력 임피던스는 각각 아래와 같은 수학식에 의해 결정된다.

<22> 【수학식 1】

$$Z_{in}=50\Omega \approx \frac{\sqrt{L_g}}{\sqrt{C_{in}}} = \frac{\sqrt{L_g}}{\sqrt{C_g}}$$

<23>

$$Z_{out}=50\Omega \approx \frac{\sqrt{L_d}}{\sqrt{C_{out}}} = \frac{\sqrt{L_d}}{\sqrt{C_d}}$$

<24> 또한, 이러한 구조에서 입력(게이트) 및 출력(드레인) 전송선에서의 진행파의 속도는 각각 아래와 같은 수학식에 의해 표현될 수 있다.

<25> 【수학식 2】

$$V_{in} \approx \frac{1}{\sqrt{C_{in} \cdot L_g}} = \frac{1}{\sqrt{C_g \cdot L_g}},$$

<26>

$$V_{out} \approx \frac{1}{\sqrt{C_{out} \cdot L_d}} = \frac{1}{\sqrt{C_d \cdot L_d}}$$

<27> 진행파형 증폭기의 성능을 최적화하기 위해서는 입출력 임피던스를 50Ω 으로 정합시키고 입출력 전송선에서 진행파의 속도를 정합시킬 수 있어야 한다. 그러나, 도 1에 나타나 있는 구조의 진행파형 증폭기로는 위의 두 가지 정합 조건을 만족시킬 수 없다.

<28> 도 2는 진행파 증폭기에 사용되는 전계효과 트랜지스터의 소신호 등가회로이며 이를 구성하는 요소들의 값들의 예 (갈륨 비소 전계효과 트랜지스터)가 아래의 표 1에 정리되어 있다.

<29>

【표 1】

파라미터	값	파라미터	값
C_g	0.22 pF	R_i	3.09 Ω
C_d	0.07 pF	R_d	3.11 Ω
C_{gd}	0.03 pF	g_m	27 mS

- <30> 표 1을 살펴보면, 일반적으로 트랜지스터의 입력 정전용량 (C_g)이 출력 정전용량 (C_d)에 비하여 크다는 것을 알 수 있다. 따라서, 임피던스 정합 조건을 만족시키기 위해서는 L_g 값이 L_d 값에 비해 커야 한다.
- <31> 이러한 조건에서 출력(드레인) 전송선에서의 진행파의 속도(V_{out})는 입력(게이트) 전송선에서의 진행파의 속도(V_{in})에 비하여 클 수밖에 없어서 입출력 전송선에서 진행파의 속도 정합이 요구되는 진행파형 증폭기의 설계조건이 만족되지 못한다.
- <32> 이 때문에 도 1에 나타나 있는 구조의 진행파형 증폭기에서는 이득-대역폭 곱 (gain-bandwidth product)의 향상 효과가 제한적일 수밖에 없다.
- <33> 도 3과 4는 이러한 문제를 해결하기 위해 고안된 종래 기술의 진행파형 증폭기의 회로도로서, 도 3은 티(T)형 드레인라인 구조의 진행파 증폭기 회로도이고, 도 4는 엠-디라이브드(m-derived)형 드레인라인 구조의 진행파 증폭기 회로도이다.
- <34> 도 3을 살펴 보면, 드레인라인 $L_d/2(1)$ 와 L_d 사이에는 FET(1)의 드레인과 캐패시터 $C_2(1)$ 가 병렬로 연결되어 있으며, L_d 와 $L_d/2(2)$ 사이에는 FET(2)의 드레인과 캐패시터 $C_2(2)$ 가 병렬로 연결되어 있다.
- <35> 상기 FET(1)의 게이트 단자는 게이트라인 $L_g(1)$ 과 연결되어 있으며, 상기 FET(2)의 게이트 단자도 $L_g(1)$ 과 $L_g(2)$ 사이에 연결되어 있다.

- <36> 도 4를 살펴보면, 리액턴스 $L_2(1)$ 이 드레인라인 $L_d/2(1)$ 와 L_d 사이와 FET(1)의 드레인 단자 사이에 직렬로 삽입되어 있으며, 리액턴스 $L_2(2)$ 가 L_d 와 $L_d/2(2)$ 사이와 FET(2)의 드레인 단자 사이에 직렬로 삽입되어 있다.
- <37> 상기 FET(1)의 게이트 단자는 게이트라인 $L_g(1)$ 과 연결되어 있으며, 상기 FET(2)의 게이트 단자도 $L_g(1)$ 과 $L_g(2)$ 사이에 연결되어 있다.
- <38> 상기 구조들에서는 출력 전송선에서 진행파의 속도를 입력 전송선의 진행파 속도와 정합시키기 위해서(즉, 출력 전송선에서 진행파의 속도를 낮추기 위해서) 단위 트랜지스터의 출력단(드레인)에 정전용량(C_2) 또는 인덕턴스(L_2)를 추가로 넣어 C_{out} 값을 증가시킨다 (도 4의 m-derived형 드레인라인 구조에서 트랜지스터의 드레인에 직렬 연결된 L_2 는 도 3의 티(T)형 드레인라인 구조의 드레인에 병렬로 연결된 정전 용량의 효과를 나타낸다.)
- <39> 이러한 경우 $C_{out} = C_d + C_2$ 로 증가되며, 증가된 유효 C_{out} 값은 V_{out} 값을 감소시켜 입출력 전송선의 진행파 속도 정합을 가능하게 한다.
- <40> 이러한 방식을 이용하는 경우, 입출력 전송선에서의 진행파의 정확한 속도 정합은 도 2에 도시되어 있는 트랜지스터의 피드백 정전용량 (feedback capacitance) C_{gd} 값이 0일 때 가능하다.
- <41> C_{gd} 값이 0pF일 때 4단의 트랜지스터로 구성된 진행파 증폭기의 이득-주파수 특성이 도 5에 도시되어 있으며, 입출력 전송선의 진행파 속도 정합을 한 m-derived형 드레인라인 구조와 티(T)형 드레인라인 구조의 진행파형 증폭기의 주파수 대역폭이 속도정합을 시키지 않은 단순구조의 진행파 증폭기에 비하여 증가되는 것을 알 수 있다.

- <42> 그러나, 일반적으로 단위 트랜지스터에는 항상 유한한 피드백 정전용량 (feedback capacitance) C_{gd} 가 존재하며, C_{gd} 에 의한 피드백 효과 때문에 티형 드레인라인과 m-derived형 드레인라인 구조의 진행과 증폭기의 경우 상기와 같은 정확한 입출력 전송선의 진행과 속도 정합이 불가능하다.
- <43> 그 이유는 C_{gd} 값이 유한할 경우 진행과 속도 정합을 위해 출력단의 추가 정전용량 (C_2) 또는 인덕턴스(L_2)값을 증가시켜 C_{out} 값을 증가시킬수록 증폭기의 안정도 (Stability)가 감소되기 때문이다.
- <44> 기존의 두 가지 진행과 증폭기들(도 3의 티형 및 도 4의 m-derived 드레인라인 구조)의 경우 C_{out} 값을 진행과 속도 정합을 시킬 수 있는 값으로 증가시키기 전에 안정도가 급격히 열화되어 공진 현상 (Oscillation)이 발생되고 더 이상 증폭기로서의 역할을 할 수 없게 된다.
- <45> 따라서, C_{out} 값을 완벽한 진행과 속도 정합을 이룰 수 있는 정도로 증가시킬 수 없게 되며 결과적으로 대역폭 향상 효과가 제한적일 수밖에 없다.
- <46> 도 6은 단위 트랜지스터의 피드백 정전용량인 C_{gd} 가 0.03pF일 때 각 구조의 진행과 증폭기의 이득-주파수 특성을 보여 준다.
- <47> 여기서, 티형 및 m-derived 드레인라인 구조의 C_{out} 값은 공진 현상이 일어나기 바로 직전의 값이며, 이 값은 정확한 입출력 진행과 정합을 위해 필요한 값보다 훨씬 작은 값이다.
- <48> 도 6을 통해서 확인할 수 있는 바와 같이, 티형 및 m-derived 드레인라인 구조의 주파수 대역폭은 단순 구조의 진행과 증폭기에 비하여 매우 작은량이 증가하는 것을 알

수 있다.

<49> 이 두 구조의 고주파 대역에서의 이득 특성을 보면 이 조건에서 공진 현상이 발생하기 시작하고 안정도가 감소되기 시작함을 알 수 있다. C_{out} 값을 도 6의 상태보다 더 증가시켜 대역폭의 증가를 시도했을 때 증폭기의 입력 임피던스 정합 특성을 나타내는 S_{11} 의 주파수 특성이 도 7에 도시되어 있다.

<50> 도 7에 도시된 바와 같이, 티형 및 m-derived 드레인라인 구조의 진행파 증폭기의 S_{11} 값은 고주파 대역에서 0dB 보다 커지며 이 경우 이 주파수에서 공진 현상이 일어나서 증폭기의 안정도가 극심히 열화된다.

<51> 따라서, 기존 출력 전송선 구조의 진행파 증폭기에서는 피드백 정전용량 (feedback capacitance)의 영향으로 증폭기의 주파수 대역폭을 확장시키기 위한 입출력 전송선의 진행파 속도 정합이 어려웠다.

【발명이 이루고자 하는 기술적 과제】

<52> 이에, 본 발명은 상기한 문제점을 해결하기 위한 것으로서 본 발명의 목적은 피드백 정전용량에 의한 증폭기의 안정도 문제를 극복하는 방식으로 입출력 전송선의 진행파 속도 정합을 구현하여 기존 출력 전송선 구조의 진행파 증폭기에 비하여 향상된 주파수 대역폭, 이득 평탄도, 안정도를 갖는 파이형 출력 전송선 구조를 갖는 진행파 증폭기를 제공하는 데 있다.

<53> 상기한 본 발명의 목적을 달성하기 위한 기술적 사상으로써 본 발명은

<54> 진행파형 증폭기의 입출력 신호의 속도 정합을 위해 출력 전송선에 추가 정전용량을 부착할 때, 단위 트랜지스터의 출력단에 직접 연결하지 않고 단위 트랜지스터들 사이

의 출력 전송선의 중간에 부착시킨 구조의 파이형 출력 전송선 구조를 갖는 진행파 증폭기가 제시된다.

【발명의 구성 및 작용】

- <55> 이하, 본 발명의 실시예에 대한 구성 및 그 작용을 첨부한 도면을 참조하면서 상세히 설명하기로 한다.
- <56> 도 8은 본 발명에 따른 파이(π)형 드레인라인 구조의 진행파 증폭기 회로도이고, 도 9는 본 발명에 따른 파이(π)형 드레인라인 구조의 진행파 증폭기에서 추가 정전용량의 위치를 나타낸 회로도이다.
- <57> 도 8을 살펴보면, 드레인라인 $L_d/2(1)$ 와 $L_d/2(2)$ 사이에는 FET(1)의 드레인 단자가 연결되어 있으며, 드레인라인 $L_d/2(2)$ 와 $L_d/2(3)$ 사이에는 추가 정전용량 $C_3(1)$ 가 연결되어 있다.
- <58> 또한, 드레인라인 $L_d/2(3)$ 와 $L_d/2(4)$ 사이에는 FET(2)의 드레인 단자가 연결되어 있으며, 드레인라인 $L_d/2(4)$ 에는 추가 정전용량 $C_3(2)$ 가 연결되어 있다.
- <59> 이 때, 상기 FET(1)의 게이트 단자는 게이트라인 $L_g(1)$ 과 연결되어 있으며, 상기 FET(2)의 게이트 단자도 $L_g(1)$ 과 $L_g(2)$ 사이에 연결되어 있다.
- <60> 도 9에 도시된 추가 정전용량의 위치를 살펴보면, 드레인라인 $L_d/2(1)$ 은 $(1 - x)L_d$, $L_d/2(2)$ 는 $x L_d$, $L_d/2(3)$ 은 $(1 - x)L_d$, $L_d/2(4)$ 는 $x L_d$ 로 나타내며, 상기 FET(1)의 드레인 단자와 FET(2)의 드레인 단자 사이를 L_d 로 나타낸다.
- <61> 도 3과 4를 살펴보면, 기존의 드레인라인 구조들의 경우 진행파 속도 정합을 위한 추가정전용량이나 인덕턴스가 단위 트랜지스터의 드레인에 직접 연결되었으나, 본 발명

의 출력 전송선(드레인라인) 구조는 추가 정전용량(C_3)을 단위 트랜지스터의 출력(드레인)에 직접 연결하지 않고, 도 8에 도시된 바와 같이 출력 전송선의 사이에 위치시켜 단위 트랜지스터의 출력(드레인)으로부터 격리되어 있다.

<62> 이러한 구조에서는 추가 정전 용량(C_3)이 단위 트랜지스터의 출력(드레인)으로부터 격리되어 있기 때문에 그 값을 크게 증가시켜도 트랜지스터 출력(드레인)에서 본 유효 정전용량인 C_{out} 값을 크게 증가시키지 않는다.

<63> 따라서, 본 발명의 구조에서는 진행파 증폭기의 안정도를 열화시키는 출력(드레인)에서 본 유효정전용량인 C_{out} 값을 크게 증가시키지 않으면서 완벽한 입출력 진행파 속도 정합을 시킬 수 있는 크기의 추가 정전용량 (C_3)값을 사용할 수 있다.

<64> 또한, 추가 정전용량(C_3)의 위치는 도 9에 도시된 바와 같이, 출력 전송선의 전체 길이를 1이라 할 때 추가 정전용량(C_3)의 위치를 x 로 표시될 수 있으며, x 값이 $0 < x < 1$ 인 상태에서 x 값이 0.5일 때 (즉 출력 전송선 L_d 의 중간에 위치할 때) 최적의 효과를 얻을 수 있다.

【발명의 효과】

<65> 이상에서와 같이, 본 발명에 의한 파이형 출력 전송선 구조를 이용하는 진행파 증폭기는 입출력 전송선에서 진행파의 정합을 위해 사용하는 추가 정전 용량을 단위 트랜지스터의 출력으로부터 격리시킴으로써 증폭기의 안정도의 열화 없이 향상된 주파수 대역폭을 얻을 수 있다.

<66> 따라서, 본 발명의 구조를 갖는 진행파 증폭기는 향상된 주파수 대역폭 및 안정도 특성을 보유하고 있어 보다 높은 속도의 정보 처리를 가능하게 한다.

【특허청구범위】

【청구항 1】

드레인라인 $L_d/2(1)$ 와 $L_d/2(2)$ 사이에 FET(1)의 드레인 단자가 연결되고, 드레인라인 $L_d/2(2)$ 와 $L_d/2(3)$ 사이에는 추가정전용량 $C_3(1)$ 가 연결되어 있으며,

드레인라인 $L_d/2(3)$ 와 $L_d/2(4)$ 사이에 FET(2)의 드레인 단자가 연결되고, 드레인라인 $L_d/2(4)$ 에는 추가정전용량 $C_3(2)$ 가 연결되어 있는 상태에서,

상기 FET(1)의 게이트 단자는 게이트라인 $L_g(1)$ 과 연결되며, 상기 FET(2)의 게이트 단자는 $L_g(1)$ 과 $L_g(2)$ 사이에 연결되어 있는 것을 특징으로 하는 파이형 출력 전송선 구조를 갖는 진행파 증폭기.

【청구항 2】

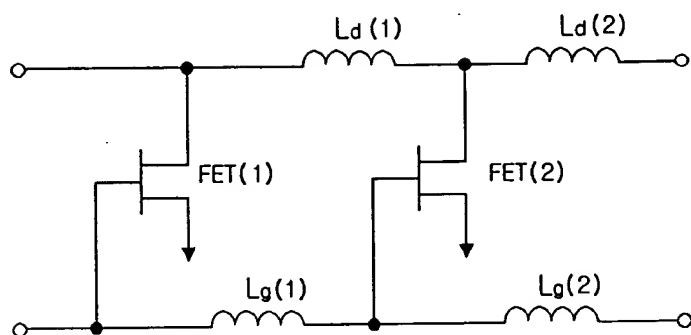
청구항 1에 있어서, 상기 FET(1)의 드레인 단자와 FET(2)의 드레인 단자 사이를 L_d 로 나타낼 경우, 상기 드레인라인 $L_d/2(1)$ 은 $(1-x)L_d$, $L_d/2(2)$ 는 $x L_d$, $L_d/2(3)$ 은 $(1-x)L_d$, $L_d/2(4)$ 는 $x L_d$ 로 나타낼 수 있으며, 이때 추가 정전용량(C_3)의 위치를 나타내는 x 값이 $0 < x < 1$ 인 것을 특징으로 하는 파이형 출력 전송선 구조를 갖는 진행파 증폭기.

【청구항 3】

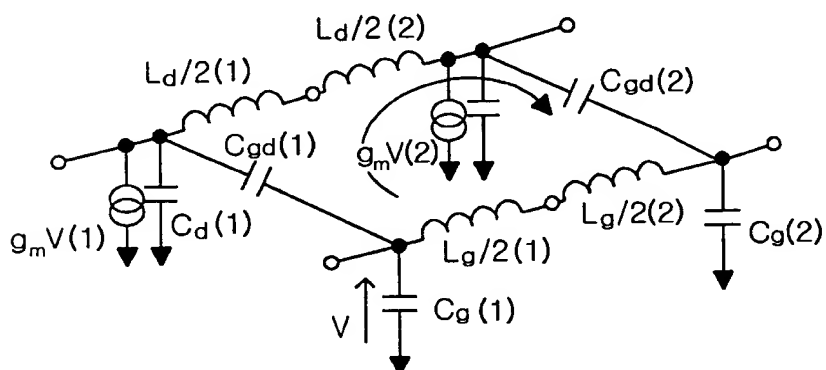
청구항 1 또는 청구항 2에 있어서, 상기 추가정전용량(C_3)에서 출력 전송선의 전체 길이를 1이라 할 때 추가정전용량(C_3)의 위치를 x 로 표시될 수 있으며, x 값이 0.5일 때 최적의 주파수 대역폭을 얻을 수 있는 것을 특징으로 하는 파이형 출력 전송선 구조를 갖는 진행파 증폭기.

【도면】

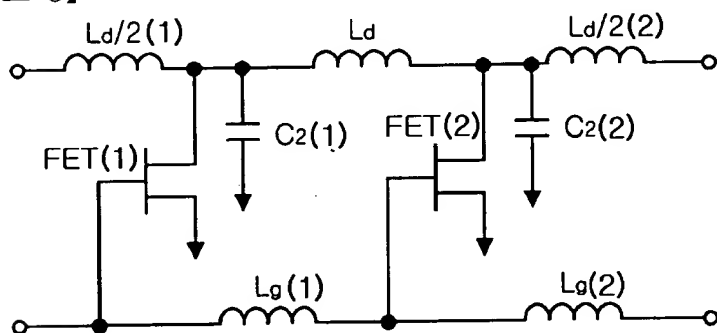
【도 1】



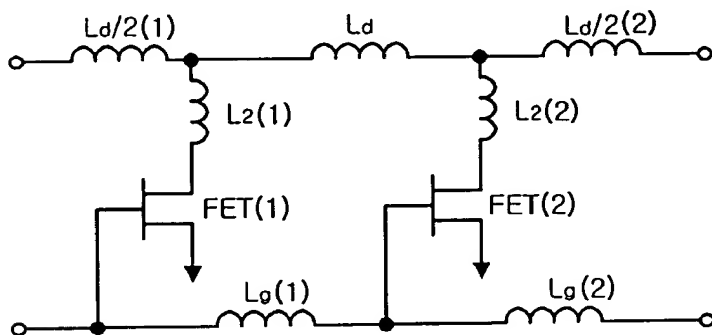
【도 2】



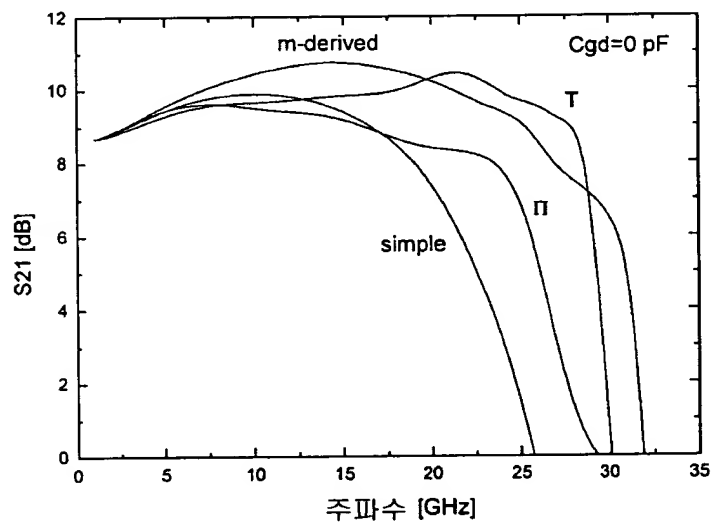
【도 3】



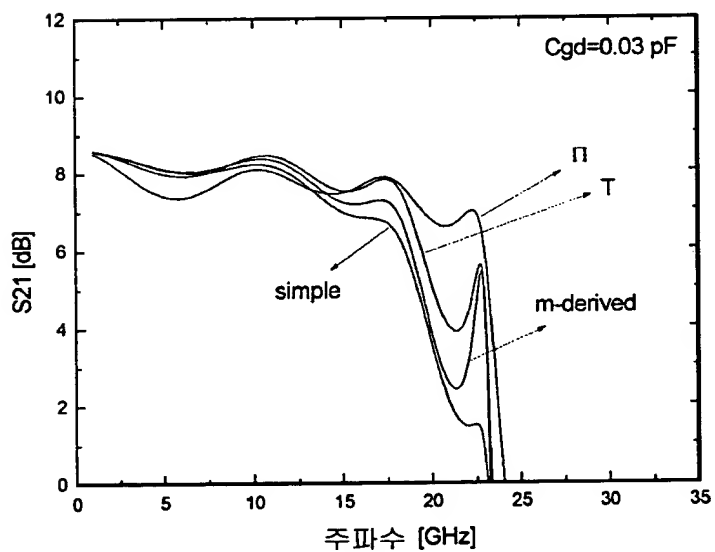
【도 4】



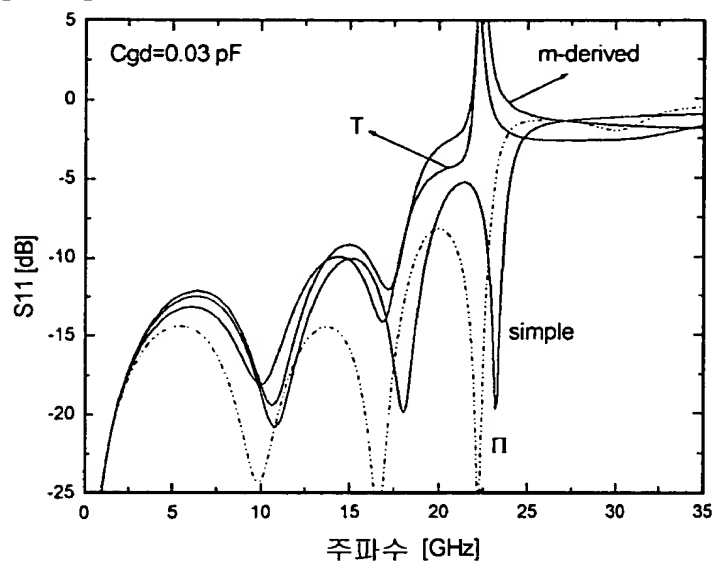
【도 5】



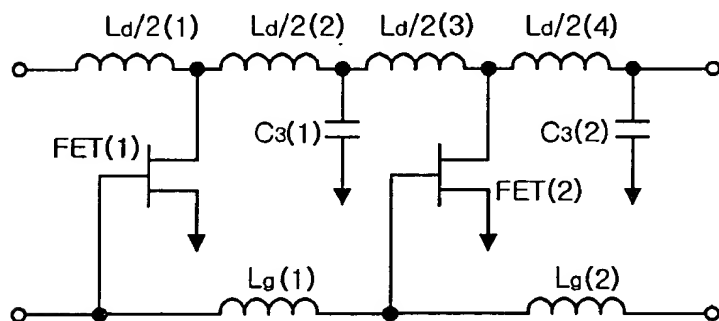
【도 6】



【도 7】



【도 8】



【도 9】

